

⑯ 公開特許公報 (A) 平2-166904

⑯ Int. Cl.⁵
H 03 B 21/00識別記号
厅内整理番号
8731-5J

⑯ 公開 平成2年(1990)6月27日

審査請求 有 請求項の数 1 (全4頁)

④発明の名称 周波数合成シンセサイザ

⑯ 特 願 昭63-322350

⑯ 出 願 昭63(1988)12月21日

⑦発明者 山崎 豊栄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑦出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑦代理人 弁理士 鈴木 章夫

明細書

1. 発明の名称

周波数合成シンセサイザ

2. 特許請求の範囲

1. 周波数ステップ f_{s1} の第1の周波数シンセサイザと、周波数ステップ f_{s2} の第2の周波数シンセサイザと、これら周波数シンセサイザの出力周波数を合成するミキサを備える周波数合成シンセサイザにおいて、前記第2の周波数シンセサイザの周波数ステップ f_{s2} を、出力周波数の周波数ステップ Δf と第1の周波数シンセサイザの周波数ステップ f_{s1} との和 ($f_{s1} + \Delta f$) に設定したことを特徴とする周波数合成シンセサイザ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は低位相雑音化、周波数ステップの小ステップ化を図った周波数合成シンセサイザに関する。

〔従来の技術〕

従来、この種の周波数合成シンセサイザは、第

3図に示すように、基準発振器5を有する大周波数ステップの周波数シンセサイザ1Aと、基準発振器6を有する小周波数ステップの周波数シンセサイザ2Aとの周波数をミキサ3で合成して出力端子4から出力させるように構成されている。この場合、周波数シンセサイザ1Aの周波数ステップを f_{s1} とし、周波数シンセサイザ2Aの周波数ステップを Δf とすれば、出力には周波数ステップ Δf の周波数信号が出力されることになる。

〔発明が解決しようとする課題〕

上述した従来の周波数合成シンセサイザは、小周波数ステップの周波数シンセサイザ2Aに出力で必要とされる周波数ステップ Δf と同じ周波数ステップが要求されるため、出力の周波数ステップを小さくすると、該周波数シンセサイザ2Aの周波数ステップも小さくなる。このため、周波数シンセサイザ2Aの位相同期ループのループゲインが低下して位相雑音特性が劣化し、また位相比較周波数(=周波数ステップ)が低下するために位相同期ループの応答速度も遅くなるという問題

がある。

本発明は位相雑音特性を改善し、かつ応答速度を高速化した周波数合成シンセサイザを提供することを目的とする。

(課題を解決するための手段)

本発明の周波数合成シンセサイザは、第1及び第2の周波数シンセサイザの周波数を合成して出力周波数を得る構成において、第2の周波数シンセサイザの周波数ステップ f_{s2} を、出力周波数の周波数ステップ Δf と第1の周波数シンセサイザの周波数ステップ f_{s1} との和 $(f_{s1} + \Delta f)$ に設定している。

(作用)

上述した構成では、第2の周波数シンセサイザの周波数ステップを、出力周波数の小さな周波数ステップに合わせて小さくする必要がなく、大きな周波数ステップで構成して位相雑音特性を改善し、かつ応答速度を向上する。

(実施例)

次に、本発明を図面を参照して説明する。

となる。

したがって、ミキサ3によって合成される出力周波数 f_o は、

$$\begin{aligned} f_o &= f_{s1} + f_{s2} \\ &= N_a \times f_{s1} + N_b \times (f_{s2} + \Delta f) \\ &= (N_a + N_b) \times f_{s1} + N_b \times \Delta f \end{aligned}$$

となる。いま、周波数シンセサイザ1の f_{s1} を1ステップ低くし、周波数シンセサイザ2の f_{s2} を1ステップ高くする。即ち、 N_a を $N_a - 1$ として、 N_b を $N_b + 1$ とすると、 f_o は、

$$\begin{aligned} f_o &= (N_a - 1 + N_b + 1) \times f_{s1} \\ &\quad + (N_b + 1) \times \Delta f \\ &= (N_a + N_b) \times f_{s1} + N_b \times \Delta f \\ &\quad + 1 \times \Delta f \end{aligned}$$

となり、出力周波数 f_o が Δf だけ高くなる。同様に N_a を $N_a - 2$ 、 N_b を $N_b + 2$ とすれば、 f_o は $2\Delta f$ だけ高くなる。

したがって、小さい周波数ステップ Δf の周波数信号を得る場合でも、第2の周波数シンセサイザ2の周波数ステップ f_{s2} を Δf にする必要がな

第1図は本発明の第1実施例のブロック図である。1は周波数ステップ f_{s1} の第1の周波数シンセサイザであり、基準発振器5を有している。2は周波数ステップ f_{s2} の第2の周波数シンセサイザであり、基準発振器6を有している。ここで、第2の周波数シンセサイザ2の周波数ステップ f_{s2} は、出力で要求される周波数ステップ Δf と前記第1の周波数シンセサイザ1の周波数ステップ f_{s1} との和 $(f_{s2} = f_{s1} + \Delta f)$ に設定している。3は各周波数シンセサイザ1、2の出力を合成するミキサ、4は合成された周波数信号の出力端子である。

この構成において、第1の周波数シンセサイザ1の出力周波数 f_{s1} と周波数ステップ f_{s1} の比を N_a とすると、この出力周波数 f_{s1} は、

$$f_{s1} = N_a \times f_{s1}$$

と表される。同様に第2の周波数シンセサイザ2の出力周波数 f_{s2} と周波数ステップ f_{s2} の比を N_b とすると、この出力周波数 f_{s2} は、

$$f_{s2} = N_b \times f_{s2} = N_b \times (f_{s1} + \Delta f)$$

い。これにより、周波数シンセサイザ2における位相同期ループのループゲイン及び位相比較周波数を高くでき、ループの雑音抑圧特性及び安定度を改善し、応答速度を高めることができる。

第2図は基準発振器を1個で構成した本発明の第2実施例のブロック図である。

即ち、周波数 f_{ref} の1つの基準発振器7に夫々分周動作を行うカウンタ7、8を通して第1及び第2の周波数シンセサイザ1、2を接続し、これら周波数シンセサイザ1、2の周波数をミキサ3で合成して出力端子4に出力させるように構成している。ここで、カウンタ7の分周数を N_1 、カウンタ8の分周数を N_2 とし、かつ周波数シンセサイザ1の周波数ステップ f_{s1} と出力周波数ステップ Δf の比を ν ($= f_{s1} / \Delta f$) としておく。

この構成において、カウンタ8の出力周波数 f_{ref} は周波数ステップ f_{s1} の第1の周波数シンセサイザ1の基準信号となるため、この周波数ステップ f_{s1} に一致する。

したがって、

$$f_{ref} = N_1 \times f_{s1} \dots (1)$$

同様に、カウンタ9の出力周波数 f_{ref2} は第2の周波数ステップ f_{s2} の周波数シンセサイザ2の基準信号となるため、この周波数ステップ f_{s2} に一致する。

したがって、

$$\begin{aligned} f_{ref2} &= N_2 \times f_{s2} = N_2 \times (f_{s1} + \Delta f) \\ &= N_2 \times (f_{s1} + f_{s1}/n) \\ &= N_2 \times f_{s1} \times (1 + 1/n) \dots (2) \end{aligned}$$

となる。

(1) = (2) より、

$$\begin{aligned} N_1 &= N_2 \times (1 + 1/n) \\ \therefore N_2 &= n/(1+n) N_1 \dots (3) \end{aligned}$$

となる。

また、 N_1 、 N_2 、 n は自然数でなければならぬので、 f_{ref} は、

$$f_{ref} = k \times (1+n) \times f_{s1} \dots (4)$$

k : 自然数

となる。

以上のように、 N_1 、 N_2 、 f_{ref} の関係を

は従来の周波数合成シンセサイザのブロック図である。

1. 1 A … 第1の周波数シンセサイザ、 2. 2 A … 第2の周波数シンセサイザ、 3 … ミキサ、 4 … 出力端子、 5. 6. 7 … 基準発振器。

代理人 弁理士 鈴木 章夫

(3)、(4)式のように選べば、基準発振器1個で周波数合成シンセサイザが構成でき、この構成においても第1実施例と同様に周波数シンセサイザ1. 2の周波数ステップを出力周波数ステップ△1に比較して大きくできるため、ループの特性の改善及び応答速度の向上が達成できる。

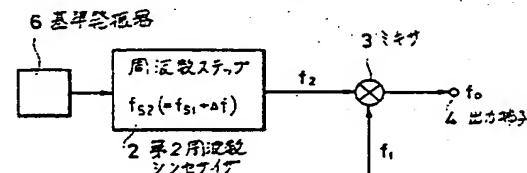
〔発明の効果〕

以上説明したように本発明は、第2の周波数シンセサイザの周波数ステップを、出力周波数の周波数ステップと第1の周波数シンセサイザの周波数ステップとの和に設定しているので、出力周波数が小さい場合でも各周波数シンセサイザの周波数ステップを大きくすることができ、周波数シンセサイザの位同期ループのループゲイン及び位相比較周波数を高くでき、ループの雑音抑圧特性、ループの応答速度、安定度等を改善できる効果がある。

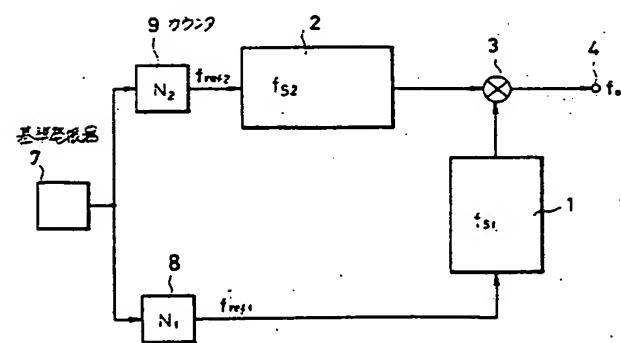
4. 図面の簡単な説明

第1図は本発明の第1実施例のブロック図、第2図は本発明の第2実施例のブロック図、第3図

第1図



第2図



第3図

